



Codi de l'oferta: 30267100006

Nom de l'oferta: Dissenyador/a de Processadors Neuromòrfics Integrats

DADES DE L'OFERTA

Unitat d'Adscripció: Enginyeria Electrònica

Contracte d'activitats científicotècniques

Condicions laborals: Durada prevista del finançament vinculat inicialment a la contractació: 5 mesos i 23 dies

Perfil Genèric: Tècnic/a de Grau Superior de Suport a la Recerca

Grup: 1 CLT: U

Retribució bruta anual: 37.183,00 €/anuals (per jornada completa) Data d'inici prevista: 07/01/2026

Jornada: 35 h./set.

Horari previst:

Àmbits de coneixement Enginyeria Electrònica

DADES DEL PROJECTE

Nom del projecte: "TSI-069100-2023-15 - Cátedra CHIP - Chips para arquitecturas avanzadas y sistemas fotónicos"

Web del projecte <https://catedrachip.upc.edu/en>

Nom del grup de recerca IS2 - Sensors intel·ligents i Sistemes integrats

Línia de Recerca

Codi projecte: K-00586

Convocatòria: CÁTEDRA CHIP

Enllaç oferta Euraxess: <https://euraxess.ec.europa.eu/jobs/391423>

PROCÉS DE SELECCIÓ

Termini de presentació de sol·licituds: 8 de desembre de 2025

Data constitució del tribunal: 11 de desembre de 2025 a les 11:15 hores mitjançant l'eina Google Meet

Desenvolupament del procés selectiu

Un cop finalitzat el període de recepció de candidatures, la secretaria del tribunal podrà contactar amb les persones inscrites per tal de demanar la documentació d'obligatòria entrega que no s'hagi aportat o per sol·licitar documentació complementària per a la valoració de la candidatura. El tribunal realitzarà una primera valoració curricular de les persones candidates aptes, i si ho considera pertinent, convocarà a la realització de proves i/o entrevistes a aquelles persones que superin la valoració curricular. La data i el lloc de les entrevistes i/o proves serà fixada pel tribunal i es comunicarà, amb temps, a les persones convocades al correu electrònic que ens hagin proporcionat en la seva sol·licitud, també es farà pública la convocatòria mitjançant la web <https://talenthub.upc.edu/en/jobs/psr/psr-jobs-folder/research-support-staff>.

Les persones candidates han de tenir disponibilitat per dur a terme la prova i/o l'entrevista mitjançant l'eina informàtica Google-Meet.

DADES DEL TRIBUNAL

Composició del tribunal:	Representant unitat:	Jordi Madrenas Boadas
	Suplent Representant unitat:	Jordi Salazar Soler
	Representant del Comitè PTGASL:	Per determinar
	Representant del Servei de Personal:	Lourdes Moreno de Francisco

DESCRIPCIÓ DEL LLOC DE TREBALL

Objectiu de la contractació

Dissenyar arquitectures i realitzar la implementació física (place & route) de processadors neuromòrfics integrats, incloent el disseny d'interfícies neuromòrfiques d'entrada i sortida per a tecnologia microelectrònica CMOS de 28 nm.

REQUISITS

Titulació universitària superior; Llicenciatura (antiga titulació), Grau Universitari (nova titulació), Màsters Universitaris oficials.

PERFIL PROFESSIONAL

Estudis Enginyeria Electrònica

Especialitat Professional Disseny micro-electrònic

Coneixements

Computació neuromòrfica i SNNs.
Disseny micro-electrònic analògic i de senyal mixt.
Síntesi i disseny físic: placement and routing, especialment en 28 nm.

Idiomes Català, castellà i anglès parlats, llegits i escrits.

Es valorarà:

Competències Tècniques

Disseny digital, disseny HDL: VHDL i SystemVerilog.
Disseny amb FPGAs.
Programari de Cadence: front-end i back-end (Genus, Innovus), Virtuoso.

Experiència Professional

En el disseny de circuits integrats, especialment en tecnologies CMOS de 28 nm, tant en l'entorn industrial com universitari.
Xarxes neuronals spiking i disseny de processadors.
Es valorarà experiència en funcions similars a les descrites, específicament, en el desenvolupament d'activitats de recerca, tant en l'entorn universitari com industrial.

Funcions

Realitzar el disseny digital, síntesi, emplaçament i enrutament, així com el signoff, tapeout i verificació de processadors SNN, emprant tecnologia digital de TSMC de 28 nm.
Dur a terme el disseny mixed signal d'interfícies neuromòrfiques, incloent esquemàtic, layout, simulació i tapeout
Validar experimentalment el funcionament dels prototips.
Documentar els dissenys i resultats.
Difondre els resultats: conferències i en revistes científiques.

Altres requisits a considerar

ALTRE INFORMACIÓ D'INTERÈS

Proyecto financiado por la Secretaría de Estado de Telecomunicaciones e Infraestructuras Digitales y por la Unión Europea-Next Generation EU