

Codi de l'oferta: 30267100005**Nom de l'oferta:** Disseny a nivell layout del transmissor d'un SERDES per estàndar MIPI-C**Unitat d'Adscripció:** Enginyeria Electrònica

Contracte d'activitats científicotècniques

Condicions laborals:**Durada prevista del finançament vinculat inicialment a la contractació:** 5 mesos i 23 dies**Perfil Genèric:** Tècnic/a de Grau Mitjà de Suport a la Recerca**Grup:** 2 **CLT:** U**Retribució bruta anual:** 32.561,34 €/anuals (per jornada completa) **Data d'inici prevista:** 07/01/2026**Jornada:** 35 h./set. **Horari previst:****Àmbits de coneixement** Enginyeria Electrònica**DADES DEL PROJECTE****Nom del projecte:** "TSI-069100-2023-15 - Cátedra CHIP-Chips para arquitecturas avanzadas y sistemas fotónicos"**Web del projecte** <https://catedrachip.upc.edu/ca>**Nom del grup de recerca** IS2- Sensors Intel·ligents i Sistemes Integrats**Línia de Recerca****Codi projecte:** K-00586**Convocatòria:** CÁTEDRA CHIP**Enllaç oferta Euraxess:** <https://euraxess.ec.europa.eu/jobs/391420>**PROCÉS DE SELECCIÓ****Termini de presentació de sol·licituds:** 8 de desembre de 2025**Data constitució del tribunal:** 11 de desembre de 2025 a les 11:00 hores mitjançant l'eina Google Meet**Desenvolupament del procés selectiu**

Un cop finalitzat el període de recepció de candidatures, la secretaria del tribunal podrà contactar amb les persones inscrites per tal de demanar la documentació d'obligatòria entrega que no s'hagi aportat o per sol·licitar documentació complementària per a la valoració de la candidatura. El tribunal realitzarà una primera valoració curricular de les persones candidates aptes, i si ho considera pertinent, convocarà a la realització de proves i/o entrevistes a aquelles persones que superin la valoració curricular. La data i el lloc de les entrevistes i/o proves serà fixada pel tribunal i es comunicarà, amb temps, a les persones convocades al correu electrònic que ens hagin proporcionat en la seva sol·licitud, també es farà pública la convocatòria mitjançant la web <https://talenthub.upc.edu/en/jobs/psr/psr-jobs-folder/research-support-staff>.

Les persones candidates han de tenir disponibilitat per dur a terme la prova i/o l'entrevista mitjançant l'eina informàtica Google-Meet.

DADES DEL TRIBUNAL

Composició del tribunal:	Representant unitat:	Diego Mateo Peña
	Suplent Representant unitat:	Jordi Salazar Soler
	Representant del Comitè PTGASL:	Per determinar
	Representant del Servei de Personal:	Lourdes Moreno de Francisco

DESCRIPCIÓ DEL LLOC DE TREBALL

Objectiu de la contractació

Dissenyar a nivell layout del transmissor d'un SERDES per estàndar MIPI-C.

REQUISITS

Titulació universitària de grau mitjà; Diplomatura (antiga titulació), Grau Universitari (nova titulació).

PERFIL PROFESSIONAL

Estudis Enginyeria TIC

Especialitat Professional Micro-electrònica

Coneixements

Disseny microelectrònic analògic.
Disseny microelectrònic digital.

Idiomes Català, castellà i anglès parlats, llegits i escrits.

Es valorarà:

Competències Tècniques

Virtuoso de Cadence: a nivell esquemàtic.
Virtuoso de Cadence: nivell layout.
Virtuoso de Cadence a nivell HDL: VHDL i/o Verilog.

Experiència Professional

Disseny de circuits microelectrònics analògics a nivell layout, relacionats amb comunicacions d'alta velocitat, com ara SERDES o PLL's.
En l'ús del PDK de 65nm de TSMC de Cadence.
Es valorarà experiència en funcions similars a les descrites, específicament, en el desenvolupament d'activitats de recerca, tant en l'entorn universitari com industrial.

Funcions

Dissenyar a nivell layout de blocs per circuits integrats analògics i digitals totalment a mida per a comunicacions d'alta velocitat amb el PDK de TSMC CMOS 65nm.
Verificar els blocs dissenyats.
Documentar el disseny i la verificació realitzada

Altres requisits a considerar

Proyecto financiado por la Secretaría de Estado de Telecomunicaciones e Infraestructuras Digitales y por la Unión Europea-Next Generation EU